

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(43) Date of publication of application: 13.11.98

G11B 20/10
G06F 5/06

(71) Applicant: **RICOH CO LTD**

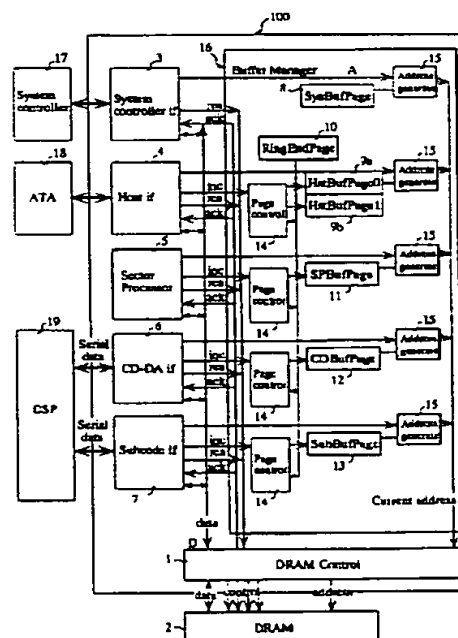
(72) Inventor: **ATO KEITAROU**

(54) DATA PROCESSING CIRCUIT

(57) Abstract:

SOLUTION: For a DRAM 2, by the processing of a data processing circuit 100, pages 0-to (n) are allotted to have constant sizes as page areas, and pages n+1 and after are allotted to have nonconstant sizes as buffering areas. Upon receiving serial data from a digital signal processor 19, a CD-DA interface 6 stores it in a paging area so as to make one block of CD-DA data correspond to one page, and a subcode interface 7 stores it in a buffering area so as to make the subcode data of one frame correspond to one page.

COPYRIGHT: (C)1998,JPO



(11)特許出願公開番号

特開平10-302389

(43)公開日 平成10年(1998)11月13日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 B 20/10

G 1 1 B 20/10

A

G O 6 F 5/06

G O 6 F 5/06

$$z$$

審査請求 未請求 請求項の数9 OL (全 21 頁)

(21)出願番号 特願平9-104418

(22)出願日 平成9年(1997)4月22日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72)発明者 阿戸 恵太郎

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

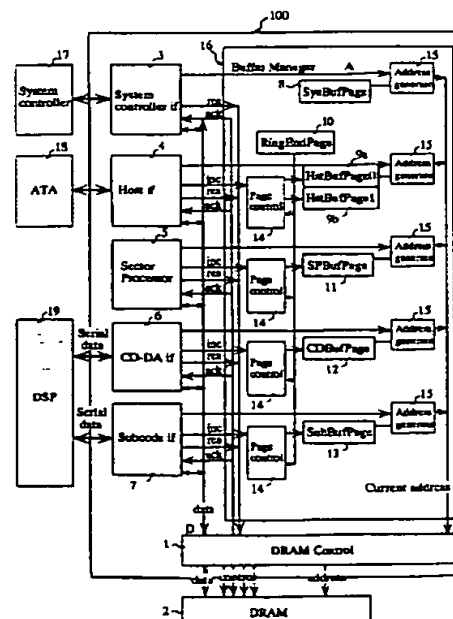
(74) 代理人 弁理士 島居 洋

(54) 【発明の名称】 データ処理回路

(57) 【要約】

【課題】 例えば、CD-I等の記録媒体に対するデータの読み出しや書き込みに用いられるデータ処理回路において、バッファメモリの効率的な使用および処理の高速化を図る。

【解決手段】 データの入出力やデータ処理に関する複数の主処理回路（System Controller 13、Host 14、Sector Processor 15、CD-DA 16、Subcode 17）と、各主処理回路がDRAM 2の任意のページをアクセスするためのポインターとして用いられるページレジスタ8、9a、9b、11、12、13と、各主処理回路の指示によって前記ページレジスタの更新制御を行うPageControl 14…と、前記DRAM 2をリングページ領域としてアクセスするためのエンドページを設定するエンドページ設定手段10と、前記エンドページ以降のメモリ領域をバッファリングエリアとして用い、特定の主処理回路からの要求に応じて当該エリアに対するアクセスを行うDRAMコントローラ1とを備えた。



1

【特許請求の範囲】

【請求項1】 外部から入力したデータをバッファメモリに格納し、前記バッファメモリにアクセスしてデータを処理し、外部に出力するデータ処理回路において、前記データの入出力や前記データ処理に関与する複数の主処理回路と、各主処理回路が前記バッファメモリの任意のページをアクセスするためのポインターとして用いられるページレジスターと、各主処理回路の指示によって前記ページレジスターの更新制御を行う更新制御部と、前記バッファメモリをリングページ領域としてアクセス10するためのエンドページを設定するエンドページ設定手段と、前記エンドページ以降のメモリ領域をバッファリングエリアとして用い、特定の主処理回路からの要求に応じて前記バッファリングエリアに対するアクセスを行うメモリ制御手段とを備えたことを特徴とするデータ処理回路。

【請求項2】 エンコード処理時に単位データごとにサブコードデータを構成する特定のデータの元になる元データをバッファリングエリア上に配置し、当該元データから前記特定のデータを生成する手段と、前記特定のデータ20を前記リングページ領域中に保持されているサブコードデータを構成する他のデータと合わせて出力する手段とを備えていることを特徴とする請求項1に記載のデータ処理回路。

【請求項3】 各ページレジスター間の差分値に基づいて異常回避処理を行う異常回避手段を備えていることを特徴とする請求項1又は請求項2に記載のデータ処理回路。

【請求項4】 前記異常回避手段は、各ページレジスター間の差分値を算出する差分値算出手段と、設定差分値30を保持する設定差分値保持手段と、前記算出された差分値と設定差分値とを比較する手段と、この比較結果に基づいて異常処理が近づいていることを報知する報知手段とを備えてなることを特徴とする請求項3に記載のデータ処理回路。

【請求項5】 前記差分値算出手段は、各ページレジスターがリングページ領域を折り返す度に反転するフラグと、各フラグの反転情報に基づいて差分値算出式を選択する手段を備えてなることを特徴とする請求項4に記載のデータ処理回路。

【請求項6】 前記差分値算出手段は、エンコード状態かデコード状態かを示す情報に基づいて差分値算出式を選択する手段とを備えてなることを特徴とする請求項4に記載のデータ処理回路。

【請求項7】 前記リングページ領域と前記バッファリングエリアの両方にアクセス可能とされる主処理回路が前記バッファメモリの任意のページをアクセスするためのポインターとして用いられるページレジスターの他に第2のページレジスターを備えるとともに、エンコード時に前記異常回避手段からアンダーランについての異常50

2

報知があった場合に、前記ページレジスターから前記第2のページレジスターまでの領域に無効を示すデータを書き込む手段を備えていることを特徴とする請求項3乃至請求項6のいずれかに記載のデータ処理回路。

【請求項8】 互いにレベルの異なる2以上の割込入力端子を備えるとともに、前記異常回避手段からの異常報知に基づく割込をどの割込入力端子に入力させるかを選択する選択手段を備えていることを特徴とする請求項3乃至請求項7のいずれかに記載のデータ処理回路。

【請求項9】 前記異常回避手段からの異常報知に基づく割込をマスクする手段と、前記マスク手段によるマスク後の信号とマスク前の信号とを入力していずれかをステータス部に与える選択手段とを備えたことを特徴とする請求項3乃至請求項8のいずれかに記載のデータ処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CD-ROM、CD-R、及びCD-DA等の記録媒体に対応したプレーヤ等に設けられ、前記記録媒体から読み出されたデータ或いは記録媒体に書き込むデータを処理するデータ処理回路に関する。

【0002】

【従来の技術】CD-ROM等の記録媒体には、データは所定のフォーマットでセクター毎に記録されている。上記フォーマットは、CD-ROMの場合、ヘッダーデータ、ユーザーデータ、同期データ、他の諸データ、及びサブコードデータを当該順序で保有する形態を持つ。上記のサブコードデータとユーザーデータは相互の時間関係を保持しておく必要があるが、リニアなバッファ領域にこれらユーザーデータとサブコードデータを管理する場合、管理用テーブル情報を別途用意することが行われていた（特開平2-310658号公報参照）。

【0003】

【発明が解決しようとする課題】しかしながら、上記管理用テーブル情報を別途用意し、システム制御部が上記テーブル情報を見て必要な制御を行うのでは、当該システム制御の負担が増大し、8倍速、或いは10倍速といった高速処理に対処することが困難となる。

【0004】この発明のデータ処理回路は、上記の事情に鑑み、ページ単位でデータの時間関係を保持することによって管理テーブルを不要にし、システム制御部の負担を軽減することを第1の目的とする。そして、このようにページ単位で処理する場合のメモリ使用効率の悪さをページ領域とバッファ領域に分けることで解消し、更に、上記バッファ領域を有効に活用して処理速度を向上させることを目的とする。また、上記ページ領域をリング構造（特開昭63-177244号公報参照）とすることに伴う諸処理を好適に行うことを目的とする。

【0005】

3

【課題を解決するための手段】この発明のデータ処理回路は、外部から入力したデータをバッファメモリに格納し、前記バッファメモリにアクセスしてデータを処理し、外部に出力するデータ処理回路において、前記データの入出力や前記データ処理に関与する複数の主処理回路と、各主処理回路が前記バッファメモリの任意のページにアクセスするためのポインターとして用いられるページレジスターと、各主処理回路の指示によって前記ページレジスターの更新制御を行う更新制御部と、前記バッファメモリをリングページ領域としてアクセスする10めのエンドページを設定するエンドページ設定手段と、前記エンドページ以降のメモリ領域をバッファリングエリアとして用い、特定の主処理回路からの要求に応じて前記バッファリングエリアに対するアクセスを行うメモリ制御手段とを備えたことを特徴とする。

【0006】上記の構成であれば、単位データ（例えば、CD-ROMにおけるセクター単位のデータ）をページレジスターで示されるページに格納するので、ページ単位でデータの時間関係を保持することが可能となる。よって、管理テーブルを不要にし、システムの制御20を担う手段の負担を軽減することができる。ここで、バッファメモリの全てがページ単位で扱われるとすると、単位データの量よりもページとして確保しておく領域は大きくされるから、各ページにおいて未使用領域が生じ、多くのページを設定すればそれだけメモリ使用効率が低下することになる。上記の構成のごとく、エンドページを設定し、それ以降のメモリ領域をバッファリングエリアとして用い、特定の主処理回路からの要求に応じて前記バッファリングエリアに対するアクセス制御を行うことを可能とすることで、バッファメモリの利用効率30を向上させることができる。特に、例えば、或る主処理回路が処理をした処理済の有効部分のデータだけを前記バッファリングエリアに転送し、この処理済有効データを他の主処理回路が読み出して処理をしたり外部に出力したりすることでメモリの有効利用が図れる。

【0007】エンコード処理時に単位データごとにサブコードデータを構成する特定のデータの元になる元データをバッファリングエリア上に配置し、当該元データから前記特定のデータを生成する手段と、前記特定のデータを前記リングページ領域中に保持されているサブコード40データを構成する他のデータと合わせて出力する手段とを備えていてもよい。前記特定のデータとしては、サブコードPデータやサブコードQデータがあり、前記他のデータとしてはサブコードR～Wデータがある。

【0008】ここで、各フレーム（セクター）ごとのサブコードQデータやサブコードPデータをリングページ領域の各ページ内のサブコードQ領域内に格納すると、これに主処理回路が頻繁にアクセスするためアクセス調停の頻度が高まって処理速度が低下する。前記サブコードPデータや、時間かわる情報であるサブコードQデ50

4

ータは、初期値を与えることで自動生成が可能である点に着目し、かかるサブコードQデータやサブコードPデータをバッファリングエリア上に配置した元データから自動生成することで、各マスターのアクセス頻度を軽減することができる。

【0009】各ページレジスター間の差分値に基づいて異常回避処理を行う異常回避手段を備えていることが望ましい。これは、ページ単位で処理を行う場合、各主処理回路毎にページ単位の処理終了時間が異なるため、或る主処理回路が未だ処理をしていないページを別の主処理回路が処理してしまうこと等（異常処理）を回避するためである。

【0010】前記異常回避手段は、各ページレジスター間の差分値を算出する差分値算出手段と、設定差分値を保持する設定差分値保持手段と、前記算出された差分値と設定差分値とを比較する手段と、この比較結果に基づいて異常処理が近づいていることを報知する報知手段とからなってもよい。ここで、前記異常処理を回避するために、システムの制御を担う手段が絶えず各主処理回路のページレジスターの値を監視するとしたのでは、このシステムの制御を担う手段による処理が複雑化し、負担が増大することになるが、かかる構成であれば、この負担増大を回避することができる。

【0011】前記差分値算出手段は、各ページレジスターがリングページ領域を折り返す度に反転するフラグと、各フラグの反転情報に基づいて差分値算出式を選択する手段とからなってもよい。リングページ領域においては、例えば、エンドページが“100”であるとすると、この“100”を保持するページレジスターの更新値は“0”（即ち、0ページ）となる。従って単純に各ページレジスターの値の引き算で差分値を算出することはできない。かかる点に鑑みた処理をシステムの制御を担う手段に委ねたのでは、その処理が複雑化し、負担が増大することになるが、かかる構成であれば、この負担増大を回避しつつ、前記折り返しの有無で差分値算出式が異なるといった事情に簡単に対処することができる。

【0012】前記差分値算出手段は、エンコード状態かデコード状態かを示す情報に基づいて差分値算出式を選択する手段とからなってもよい。エンコード状態とデコード状態とで各マスターの処理する順序が異なるため、差分値算出式も異なってくる。かかる点に鑑みた処理をシステムの制御を担う手段に委ねたのでは、その処理が複雑化し、負担が増大することになるが、かかる構成であれば、この負担増大を回避しつつ、前記エンコード状態とデコード状態とで差分値算出式が異なるといった事情に簡単に対処することができる。

【0013】前記リングページ領域と前記バッファリングエリアの両方にアクセス可能とされる主処理回路が前記バッファメモリの任意のページにアクセスするための

5

ポインターとして用いられるページレジスタの他に第2のページレジスタを備えるとともに、エンコード時に前記異常回避手段からアンダーランについての異常報知があった場合に、前記ページレジスタから前記第2のページレジスタまでの領域に無効を示すデータを書き込む手段を備えていてもよい。エンコード時においてアンダーラン（後行すべきものである主処理回路が先行すべきものである主処理回路の未処理ページを読み込むこと）が生じると、例えば、記録媒体にはCRCが付記されていない不所望なデータが書き込まれてしまうといった事態が生じる。この場合に当該記録媒体を廃棄することなしに当該記録媒体の未記録領域に対する再度の書き込みを行おうとする場合には、どこが無効データなのかの判別が必要となる。このため、上記の不所望なデータに代えて無効を示すデータを用意することになる。ここで、この無効データを用意する処理をシステムの制御を担う手段に委ねたのでは、処理が複雑化し、負担が増大することになるが、かかる構成であれば、この負担増大を回避し、8倍速や10倍速などの処理速度の増大にも容易に対処することが可能となる。

【0014】互いにレベルの異なる2以上の割込入力端子を備えるとともに、前記異常回避手段からの異常報知に基づく割込をどの割込入力端子に入力させるかを選択する選択手段を備えていてもよい。ここで、異なる複数の割込が発生し得る場合に一つの割込入力しかないのでは、割込レベルを設定できないため、異常処理時に発生する割り込みも、正常終了にて発生する割込も、ともに同一に扱われ、発生毎に要因を調査するため、システムの制御を担う手段での処理が複雑化し、割込が集中した場合の処理時間の増大を招く。上記の構成であれば、異常報知に基づく割込に対して割込レベルを与えることが可能となるから、システムの制御を担う手段の負担軽減を図ることができる。

【0015】前記異常回避手段からの異常報知に基づく割込をマスクする手段と、前記マスク手段によるマスク後の信号とマスク前の信号とを入力していずれかをステータス部に与える選択手段とを備えてもよい。ここで、任意の割込処理をする場合、オーバーヘッド軽減のため、その発生原因を割込としてではなく、ポーリングすることで処理を行いたい場合があり、この場合に前記割込をマスクしてしまうと、システムの制御を担う手段ではステータスのリードができず、従ってポーリングが行えず、効率良く処理することができない。上記の構成であれば、マスクが起動している場合でも、マスク前の信号をステータス部に与え、ポーリング処理を可能とすることができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態のデータ処理回路を図に基づいて説明する。

【0017】図1は、この実施の形態のデータ処理回路50

6

100と、その周辺回路を示したブロック図である。データ処理回路100は、システムコントローラ（System Controller）17、ATアタッチメント（ATA）18、及びデジタルシグナルプロセッサ（DSP）19に接続されており、これらとバッファメモリであるDRAM2との間で信号の書込や読出の処理を行うようになっている。そして、かかるデータ処理回路100は、各種のマスター（主処理回路であり、その具体的名称や機能については後述する）3乃至7、バッファマネージャ（Buffer Manager）16、及びDRAMコントローラ1を備えて構成されている。

【0018】前記システムコントローラ17は、データ処理回路100を制御するものであり、マスターであるシステムコントローラインターフェース（System Controller if）3との間でデータの送受を行う。ATアタッチメントは、ホストバスをなすものであり、マスターであるホストインターフェース（Host if）4との間でデータの送受を行う。デジタルシグナルプロセッサ（DSP）19は、図示しないEFM（Eight-Fourteen Modulation）処理部から送られてくるデータをCD-DAデータとサブコードデータに分割し、CD-DAデータをマスターであるCD-DAインターフェース6へ、サブコードデータをマスターであるサブコードインターフェース（Subcode if）7へ、それぞれシリアルデータで与える（デコード時）一方、CD-DAインターフェース6から与えられるCD-DAデータとサブコードインターフェース7から与えられるサブコードデータを組み合わせて前記EFM処理部に送り出すようになっている。

【0019】前記DRAM2は、データ処理回路100の処理により、図2に示しているように、ページングエリア（Paging area）とバッファリングエリア（Buffering area）とに分割されて用いられる。ページングエリアには、ページ0～ページn（大きさ一定）が割り当てられており、ページn+1（大きさ非一定）以降がバッファリングエリアとされている。各ページには、CD-ROMやCD-DAなどの記録媒体における1セクター分の各種のデータを格納し得る。なお図2の詳細は後述する。

【0020】マスターであるシステムコントローラインターフェース3は、システムコントローラ17から転送されるデータを、システムバッファページ（SysBufPage）8に格納されている数値で示される1ページの領域に転送する等の処理を行う。

【0021】マスターであるセクタープロセッサ（Sector Processor）5は、例えばCD-ROM用データのEDC（誤り訂正）／ECC（誤り検出）処理を行う処理ブロックであり、セクタープロセッサバッファページ（SPBufPage）11に格納されている数値で示される1ページの領域に格納されているデータに対して処理を行うように構成されている。

【0022】マスターであるCD-DA インターフェース (CD-DA if) 6は、デジタルシグナルプロセッサ19から送られてくるシリアルデータを、CDバッファページ (CDBufPage) 12に格納されている数値で示される1ページに格納する等の処理を行う。なお、格納に際しては、CD-ROMデータの場合であれば、1ブロックのシンクパターンを検出し、1ブロックが1ページに対応するように制御する。

【0023】マスターであるサブコードインターフェース (Subcode if) 7は、デジタルシグナルプロセッサ19から入力されるサブコード用シリアルデータを、サブコードバッファページ (SubBufPage) 13に格納されている数値で示される1ページに格納する等の処理を行う。なお、格納に際しては、1フレーム毎にサブコードデータのシンクパターンを検出し、1フレームが1ページに対応するように制御する。

【0024】マスターであるホストインターフェース (Host if) 4は、前記ATアタッチメント18やSCSIなどのホストバスから転送されるデータを1セクター毎に、ホストバッファページ (HostBufPage0) 9aに20格納されている数値で示される1ページに転送する等の処理を行う。なお、ホストは後述するバッファリングエリア (Buffering area) にアクセスできる。そのページを示すものとしてホストバッファページ (HostBufPage1) 9bを備える。ただし、このホストバッファページ (HostBufPage1) 9bは、必ずしもバッファリングエリアのページだけを示すのに用いられるのではなく、後述する図13の処理のためにも用いられる。

【0025】バッファマネージャ (Buffer Manager) 16は、マスター3乃至7にそれぞれ接続されたページコントローラ (Page control) 14、各種のページレジスタ (具体的名称については後述する) 8、9a、9b、11乃至13、マスター3乃至7およびその各々に対応するページレジスタに接続されたアドレスジェネレータ (Address generate) 15、及びリングエンドページ (RingEndPage) 格納部10により構成されており、マスター3乃至7からのアクセスの調停やDRAMコントローラ1に対するアドレス (Current address) の生成を行う。具体的には、各マスターはリクエスト (req) を表明することでバッファマネージャ16にアクセス要求をする。各マスターからの要求が重なった場合には、優先権制御により調停し、一つのマスターに対して容認信号 (ack) を返すことでこれとの間でデータアクセスを行うようになっている。また、各マスターは、加算 (inc) を表明することにより、ページレジスタの更新要求を知らせることができる。この更新要求を受けた各ページコントローラ14は、リングエンドページ格納部10に格納されているリングエンドページを参照して各々の対応するページレジスタの更新を50

行う。

【0026】DRAMコントローラ1は、前記マスター3乃至7とデータラインで接続されているとともに、バッファマネージャ16からのリクエストに対し、DRAM2を制御するための各種の信号やアドレスの生成を行い、要求のあったマスターとの間でデータのやり取りを行うようになっている。なお、システムコントローラインターフェース3との間では8ビットのデータ転送を行い、他のマスター4乃至7との間では16ビットのデータ転送を行う。

【0027】図2は、バッファデータを各マスターがアクセスする様子を示した説明図である。各マスターは、現在処理するデータをページ単位で管理する。DRAM2のバッファRAM構成は、前述したごとく、ページ0乃至ページn (nはリングエンドページの値) で示される領域がページングエリア (Paging area) とされ、ページn+1乃至最終 (実装メモリ最終) ページで示される領域がバッファリングエリア (Buffering area) とされる。各マスターがページングエリアのみアクセスできるのか、それともページングエリアとバッファリングエリアの両方をアクセスできるのか、更に両方アクセスできる場合でもデコード時とエンコード時とで違いがあるのかといった点については、後述(表1)に示す。ここで、リングページのみアクセスできるマスターは、ページnまでの処理が終了すると、次にページ0を処理する。そのための処理は、当該マスターに対応するページレジスタが行う。一方、バッファリングエリアにアクセスできるマスターは、ページn+1を処理することができる。なお、図2ではデコード時の状態が示されており、CD-DA インターフェース6およびサブコードインターフェース7は記録媒体から読み出されたデータをページ0、1、2…と順に書き込み (図ではページ2に書き込み中)、セクタープロセッサ5は、既に関与したデータであるページ0、1…と順にアクセスしてデータを読み出してエラー訂正して当該ページに戻し (図ではページ1に対して処理中)、ATアタッチメント18はホストインターフェース4を介してページ0にアクセスして訂正済のデータを受け取っている状態を示している。

【0028】図3(a)はDRAM2におけるバッファRAM構成を示し、同図(b)はCD-ROMの場合のページ内のデータフォーマットを示し、同図(c)はCD-DAの場合のページ内のデータフォーマットを示した説明図である。各ページには3072バイト量が割当てられており、ユーザーデータやサブコードデータが格納される。各ページに占めるデータ量は当該ページの大きさよりも小さく、図では未使用領域として288バイトが生じている。サブコードデータは96バイトを使用し、P、Q、R、S、T、U、V、Wといった記号で表されるデータから成るものであるが、その詳細は後で説

明することとする。

【0029】下記の表1は、各マスターのオフセットやアクセス領域等を明らかにした表である。

【0030】

【表1】

Master	offset	PageRegister	Access area	
			Pagingarea	Bufferingarea
CD-DA if	0x000-0xA56	CDBufPage	○	×
Sector Pro	0x000-0xA56	SPBufPage	○	×
Subcode if	0xA70-0xADF	SubBufPage	○	×Dec, ○Enc
Host if	0x000-0xFFFF	HostBufPage0,1	○	○
Sys Con if	0x000-0xFFFF	SysBufPage	○	○

【0031】図4は、ページコントローラ14におけるページレジスタ更新制御内容を示したフローチャート20であり、マスターがCD-DA インターフェース6である場合を示している。初期設定(ステップ1)の後、マスターからのページレジスタ更新信号(In c)の有無を判断し(ステップ2)、更新信号有りと判断されると、現状のCDバッファページ(CDBufPage)がリングエンドページ(RingEndPage)よりも小さいか否かを判断する(ステップ3)。小さければ、1をインクリメントしステップ2に進む。一方、小さくなければ、CDバッファページ(CDBufPage)を0(即ち、0x000)に更新するとともに、CDバッファフラグ(CDBufFlg)をトグル(0→31, 1→0)する。なお、このCDバッファフラグのトグル状態は、図11を用いて後述する差分演算において用いられることになる。

【0032】図5は、マスターとしてシステムコントローラインターフェース(System Controller if)3を例に、これに対応するシステムバッファページ(SysBufPage)8およびアドレスジェネレータ15と、DRAMコントローラ1との接続関係を示したブロック図である。図のA[11:0]はシステムコントローラインターフェース3からバッファマネージャ16に与えられるアドレス情報(ページ内の具体的アドレスを示す情報)であり、D[7:0]はシステムコントローラインターフェース3からデータラインを通じてDRAMコントローラ1に与えられるデータである。システムバッファページ(SysBufPage)8の上位13ビットのアドレス情報(ページを特定するアドレス)と前記A[11:0]の12ビットのアドレスとを図のごとく加算してDRAM2をアクセスするための24ビットのアドレスを生成する。また、システムコントローラインターフェース3のリクエスト制御部3aは、アクセス信号(CS1B, REB, WE 50

B)に基づいてリクエスト(Request)信号を生成しDRAMコントローラ1にアクセスする。他のマスターについても同様に構成される。

【0033】図6は、図1のデータ処理回路にてデコード処理を実行した場合の信号フローを示した説明図である。このデコード処理では、記録媒体から読み出されたデータがDSP19を経てCD-DA インプットおよびサブコードインプットとしてデータ処理回路100に与えられ、このデータ処理回路100およびDRAM2を経由してATAタッチメント18に与えられる。前記データ(約3Kバイト量)は、ブロック同期信号(BSYNC)に同期して、CDバッファページ(CDBufPage)で示されるページおよびサブコードバッファページ(SubBufPage)で示されるページに格納されていく(同図(a)(b)(c)(d)(e)参照)。セクタープロセッサバッファページ(SPBufPage)は、セクタープロセッサ(Sector Processor)が既書き込まれたデータを用いて誤り検出処理等を行うため、CDバッファページ(CDBufPage)で示されるページよりも前のページに対応する値を保有する(同図(f)(g)参照)。なお、追いつくことが避けられればよいので、どれくらい前であるかは問わないものであり、また、これに関する制御については、後述する。

【0034】そして、システムコントローラインターフェース(System Controller if)は、上記セクタープロセッサ(Sector Processor)による処理済のデータのうちの必要な部分(例えば、約2Kバイト量)をバッファリングエリア(Bufferingarea)に格納する。そのため、まずセクタープロセッサバッファページ(SPBufPage)で示されるページよりも前のページに対応する値にて読出動作を行い、バッファリングエリア(Buffering area)のn+1ページに前記処理済データのうちの必

11

要な部分の書込動作を行う(同図(h)(i)参照)。ホストインターフェース(Host if)は、バッファリングエリア(Buffering area)に格納された訂正済データを取り出してATアタッチメント18に与えるべく、ホスト用のページコントロール部14の内部に有する転送カウンタ(転送数がセットされる)とHostBufPage1(デコード時はバッファリングエリア用のページ指定バッファとして機能する)より指定される転送開始アドレスにて、上記バッファリングエリアの前記n+1ページから処理済のデータを読み出す(同図(j)(k)参照)。なお、各マスターは、当該ページに対する処理を終了すると、加算(inc)信号を出力して各ページコントローラ14に対してページの更新処理をさせることになる。

【0035】図7は、図1のデータ処理回路にてエンコード処理を実行した場合の信号フローを示した説明図である。このエンコード処理では、ATアタッチメント18から与えられたデータがデータ処理回路およびDRAM2を経由してDSP19(EFMエンコーダ)に与えられる。ホストインターフェース(Host if)4は、データ20をホストバッファページ(HostBufPage0)で示されるページに転送する(同図(a)(b)参照)。なお、他のマスターはCDエンコーダから出力される1セクタ処理単位であるESFS(Encode Subcode Frame Sync)ごとにページ単位の処理を完了するように制御される(同図(e)参照)。セクタープロセッサ(Sector Processor)5は、ホストインターフェース4が既に書き込んだデータを用いてパリティ付加処理を行うため、セクタープロセッサバッファページ(SBufPage)は、ホストバッファページ(HostBufPage0)で示される30ページよりも前のページに対応する値を保有する(同図(c)(d)参照)。

【0036】そして、CD-DAインターフェース6は、上記セクタープロセッサ(Sector Processor)による処理済のデータをDSP19(EFMエンコーダ)に与えるべく、セクタープロセッサバッファページ(SBufPage)で示されるページよりも前のページに対応するCDバッファページ(CDBufPage)の値にて読出動作を行う(同図(f)(g)参照)。なお、同図(g)のTrn0, Trn1…は、それぞれCD-ROMセクタに対応する40データである。サブコードインターフェース(Subcode if)7も同様、上記セクタープロセッサ(Sector Processor)による処理済のデータをDSP19(EFMエンコーダ)に与えるべく、セクタープロセッサバッファページ(SBufPage)で示されるページよりも前のページに対応するサブコードバッファページ(SubBufPage)の値にて読出動作を行う(同図(h)(i)参照)。なお、同図(i)のTrn0, Trn1…は、それぞれサブコードフレーム96バイトに対応するデータである。

12

【0037】EFMエンコーダでは、前記CDデータとサブコードデータを合わせてEFMし、シリアルデータに変換し、記録媒体への書込データとして図示しないレーザピックアップへ出力する。

【0038】このように、バッファRAM構成をページングエリア(Paging area)とバッファリングエリア(Buffering area)とに分け、デコード時においてバッファリングエリアにはATアタッチメントが必要とするデータ(元のページに格納されていた量よりも少なくなっている(略3Kバイト→略2Kバイト))を格納するようにしたので、メモリの利用効率を格段に向上させることができる。

【0039】ここで、エンコード時においては、ATアタッチメント18から与えられたデータがDRAM2のバッファRAM内の所定のページに格納されて各マスターがページにアクセスして順次処理し、最終的にEFMエンコーダに与えるべきデータがシリアル出力されていくことになるが、このときには本来なら、各ページにはメインデータであるユーザーデータとともにサブコードデータの全てが格納される。サブコードデータは、P, Q, R, S, T, U, V, Wといった記号で表されるデータから成るものであり、特にサブコードQデータは、時間にかかわる情報であり、自動生成が可能であるが、このサブコードQデータをページングエリア(Paging area)のページにおいて生成するには、当該ページに頻繁にアクセスしなければならず、マスター間のアクセス調停の頻度が高くなって処理速度が低下する。更に、当該サブコードQデータをページに格納する回路を必要とする構成では、回路が複雑化する。また、サブコードPデータとは、曲間に関する情報であって1セクタ内のサブコード(96バイト)中で1又は0のいずれかとされるものであり、自動生成が可能であるが、このように96バイトに同一データを格納するために頻繁にアクセスしなければならず、マスター間のアクセス調停の頻度が高くなって処理速度が低下する。更に、当該サブコードPデータをページに格納する回路を必要とする構成では、回路が複雑化する。

【0040】そこで、エンコード時においても前記バッファリングエリアを活用する手法について説明していく。図8はサブコードデータのサブコードQデータとサブコードPデータの元データをバッファリングエリア上で自動生成し(これを自動生成データといい図8では符号30を付記している)、エンコード時にこの自動生成データを他のサブコード部分と合わせてシリアル出力するようにした構成を示した説明図である。自動生成データとしては、各グループ(TNOやINDEX等)の意味付け等を担うCont/Adr、例えば1曲目は第何トラックナンバーからといった情報を担うTNO、所定の情報を担うINDEX、相対時間(RMIN, RSEC, RFRAME)、ZERO、絶対時間(AMIN,

13

ASEC、AFRAME)、MODE、Repeat、POINT、及びPMSEから成る。1秒は75フレーム(セクター)とされており、絶対時間はスタートの時間さえ決めれば後は自動生成でき、相対時間も初期値さえ決めれば後は自動生成することができる。

【0041】この自動生成の詳細を図8乃至図10を用いて説明する。なお、図9(a)はバッファRAM構成を示し、同図(b)は1ページの構成を示し、同図

(c)はサブコード用のバッファリングデータエリア構成を示し、同図(d)は自動生成データを示し、同図10

(e)はページ内のサブコードデータを示している図10(a)は、図9(e)と同様、ページ内のサブコードデータを示し、図10(b)は図9(d)と同様、自動生成データを示し、図10(c)は自動生成データを他のサブコード部分(P、R~W又はR~W)に組み込んでなるアウトプットデータ構成を示した図である。

【0042】(サブコードQデータの生成)自動生成データ30にて各フレーム毎のサブコードQデータを生成する。自動生成データ30は、16バイト(Offset 0x00~0x0F)単位で構成される。なお図208はエンコード時を示しているので、図8においては、CRCにかかわる0x0Aと0x0Bの領域を省略している。

【0043】RTIMカウンタ31、ZEROカウンタ32、及びATIMカウンタ33には、load=1(MODEに格納される8ビットデータ中の所定ビットが1)のとき、Offset 0x03~0x09(RMIN~AFRAME)のデータが初期値として格納される。一方、load=0(MODEに格納される8ビットデータ中の所定ビットが0)のとき、MODE30に格納される8ビットデータの所定ビットが0か1か

(又は1か0か)によってフレーム毎にインクリメント/デクリメントを行う。そして、フレーム毎にデクリメントされるRepeatにおいてRepeat=0となると、n(リングエンドページ)+1とPOINTで示されるバッファリングエリア(Buffering area)内の自動生成データに対して処理を行う(図9参照)。なお、POINTの初期値は0である。

【0044】セクタ34は、RTIMselect=1(MODEに格納される8ビットデータ中の所定ビットが1)のときRTIMカウンタ31の値を選択し、これをエンコードサブQデータ37を構成するものとして出力する。

【0045】セクタ35は、ZEROselect=1(MODEに格納される8ビットデータ中の所定ビットが1)のときZEROカウンタ32の値を選択し、これをエンコードサブQデータ37を構成するものとして出力する。

【0046】セクタ36は、ATIMselect=1(MODEに格納される8ビットデータ中の所定ビット

14

が1)のときATIMカウンタ33の値を選択し、これをエンコードサブQデータ37を構成するものとして出力する。

【0047】そして、各フレーム毎にエンコードサブQデータ37はラッチされ、このラッチされたデータに対してCRC演算器39はCRC38を計算し付加する。

【0048】(サブコードPデータの生成)サブコードPデータは、各フレーム毎にバッファリングエリア(Buffering area)に格納される前述の自動生成データ30によって生成されるか、又はページングエリア(Paging area)に格納されるデータによって生成される。具体的には、サブコードPデータを出力するセクタ43は、use PMSB=1(MODEに格納される8ビットデータ中の所定ビットが1)のとき、PMSB(7ビット)の値をエンコードサブPデータとして出力し、use PMSB=0(MODEに格納される8ビットデータ中の所定ビットが0)のとき、ページングエリア45に格納されているPの値(セクタ44にて選択される)をエンコードサブPデータとして出力する。

【0049】他のサブコードデータ(R~W)は、EFMエンコーダ40からのリクエスト(ESUBREQB)ごとにカウントされるオフセットカウンタ41の値により、96バイト中からセクタ42、44により選択される。選択された1バイトは、エンコードサブコードシリアルデータとしてEFMエンコーダ40に出力される。

【0050】以上説明したように、エンコード時においても前記バッファリングエリアを活用してサブコードPデータやサブコードQデータを自動生成し、かかる自動生成データをEFMエンコーダに対するシリアル出力に際して他のサブコードデータに付加するようにしたから、ページングエリアにサブコードPデータやサブコードQデータを格納する場合の処理速度の低下や回路構成の複雑化を回避することができる。

【0051】さて、前述の図6(デコード時)および図7(エンコード時)の説明で述べたように、或るマスターが或るページを処理した後に他のマスターが当該ページを処理するというように、その処理順序が決まっているから、前記他のマスターの処理ページが前記或るマスターの処理ページに追いついてしまうことは許されない。その一方、各マスターは各自のタイミングで処理を進めるため、当該タイミングで勝手にページが更新されていってしまう。そこで、データ処理回路100には、ページレジスタを調べ、追いつきそうなるのを検出する検出回路500(図11参照)が備えられている。

【0052】ここで考慮すべきは、エンコード時とデコード時とでは、二つのマスター間での処理順序が逆転すること、及びページングエリア(Paging area)がリングバッファ構成を採っている点である。リングバッファ構成を採っている点については、図4のステップ5にお

15

けるトグル処理による各フラグ 図4では、CDBufFlgのみ示すが、その他にSPBufFlgおよびHostBufFlgがある。)の状態が役立てられる。例えば、ホストバッファページ(HostBufPage0)とCDバッファページ(CDBufPage)とに着目すると、デコード時にはCDバッファページ(CDBufPage)が先行する値を保有することになり、CDBufFlgとHostBufFlgとが同じ状態を示すのであれば、そのまま減算することで差分を知ることができる 図12(a)参照)。一方、どちらかのフラグが反転していれば、例えば、CE10バッファページ(CDBufPage)においてリング折り返しが生じたとして、CDバッファページ(CDBufPage)の値にリングエンドページ(RingEndPage)の値を加算した値からホストバッファページ(HostBufPage0)の値を減算することで差分を知ることができる 図12(b)参照)。

【0053】図11は、検出回路500の回路ブロック図である。シーケンサ(PAGETIM)55は、演算制御を行う機能ブロックであり、前記各フラグ(Flg)の値およびエンコード/デコード識別信号(ENC20/DECB)から差分演算を行う二組のベレーレジスタを選ぶようセレクター(4to1mux×2)53にセレクト信号を与える。更に、演算方法を決定し、この演算方法を示す情報を演算器(13bit Sub/Adder)54に与える。

【0054】セレクター53は、CDバッファページ(CDBufPage)、セクタープロセッサバッファページ(SPBufPage)、ホストバッファページ(HostBufPage0)のうちから2つの値を前記セレクト信号に基づいて選択して出力する。なお、リングエンドページ(RingEndPage 30

16

)を入力しているのは、リングの折り返しが生じている場合に、このリングエンドページの値を所定のバッファページの値に加算するためである。

【0055】演算器54は、前記セレクター53から出力される二つのバッファページ値を入力し、前記演算方法を示す情報に基づいて所定の差分算出処理を実行し、差分値を比較器(Comarater)51に与える。

【0056】セレクター(2to1mux)50は、オーバーランページの値(最大7)とアンダーランページの値(最大7)のいずれかを選択して比較器51に与える。オーバーランとは、例えばデコードにおいては、先行すべきものであるCD-DA インターフェースが先行しすぎ、折り返し状態で後行すべきものであるホストの未転送ページに書き込みを行ってしまうような場合をいい、アンダーランとは、例えばデコードにおいては、後行すべきものであるホストが先行すべきものであるセクタープロセッサの未処理ページを読み込む場合をいう。

【0057】比較器51は、オーバーランページの値またはアンダーランページの値と、前記演算器54の差分値とを比較し、比較結果を割込制御部52に与える。

【0058】割込制御部52は、比較結果に基づいてシステムコントローラに対する割込信号を生成する。

【0059】割込発生時のCD-DA インターフェース(CD-DA if)、セクタープロセッサ(Sector Processor)、ホストインターフェース(Host if)の動作、及び割込発生時の判定条件を下記表2に示す。

【0060】

【表2】

		Decode	Encode
OverRun	初期設定	HstBufPage0 < CDBufPage	HstBufPage0 >= CDBufPage
	判定条件	(HstBufFlg, CDBufFlg) == 2'b01, 2'b10 HstBufPage0 - CDBufPage == OverRunPg (HstBufFlg, CDBufFlg) == 2'b00, 2'b11 RingEndPage + HstBufPage0 - CDBufPage == OverRunPg (CdifがHost未転送領域にライト)	(HstBufFlg, CDBufFlg) == 2'b01, 2'b10 CDBufPage - HstBufPage0 == OverRunPg (HstBufFlg, CDBufFlg) == 2'b00, 2'b11 RingEndPage + CDBufPage - HstBufPage0 == OverRunPg (HostがCdif未転送領域にライト)
	LSI動作	OverRun割り込み発生	OverRun割り込み発生
	Cdif	停止	継続
	SectorPro	CDBufPage迄処理をして停止	継続
	Host	継続(SysConによる制御)	継続(SysConによる制御)
UnderRun	初期設定	HstBufPage0 < SPStartPage	SPStartPage >= CDBufPage
	判定条件	(SPBufFlg, HstBufFlg) == 2'b00, 2'b11 SPStartPage - HstBufPage0 == UnderRunPg (SPBufFlg, HstBufFlg) == 2'b01, 2'b10 RingEndPage + SPStartPage - HstBufPage0 == UnderRunPg (HostがSectorProの未処理領域をリード)	(SPBufFlg, CDBufFlg) == 2'b00, 2'b11 SPStartPage - CDBufPage == UnderRunPg (SPBufFlg, CDBufFlg) == 2'b01, 2'b10 RingEndPage + SPStartPage - CDBufPage0 == UnderRunPg (CdifがSectorProの未処理領域をリード)
	LSI動作	UnderRun割り込み発生	UnderRun割り込み発生
	Cdif	継続	継続
	SectorPro	継続	継続
	Host	継続(SysConによる制御)	0FillEn:1 (設定時) HstBufPage0からHstBufPage1-1 までのTFMTで指定した領域 に対し0Fill 0FillEn:0 (未設定時) 継続(SysConによる制御)

【0061】上記の表2に示した条件設定に係わる各種計算を行うために複数の演算器を備えようとすると、回路構成が複雑化するが、上図11の回路構成のごとく、一つの演算器54を備え、シーケンサ(PAGETIM)55の制御で時分割に必要な計算を必要なタイミングで行うようにしたので、複数の演算器を備える場合に40比べて回路構成の簡素化を図ることができる。

【0062】ここで、エンコード時には、CD-DAインターフェースは記録媒体への書き込み処理に関与しているため、他のマスターの所定のページに対する処理が終了するまで当該ページに対する処理を待つといったことはできない。即ち、CD-DAインターフェースがセクタープロセッサの未処理領域に達してしまうアンダーラン割込が発生することは、記録媒体への書き込みデータを準備できないことを意味する。従って、記録媒体への書き込みデータとして何らかのデータを準備する必要があ

る。そこで、書き込むべきデータの代わりに、無効データであることを示す例えば0x000(0Fill)を書き込むように制御する。どこまで書き込むかは、ホストバッファページ(HostBufPage1)の内容で定まる。ここで、いまからデータを書き込もうとする領域というのは予めホスト(ATアタッチメント)から転送されてくるのであり、そのサイズは分かっているから、このサイズに相当する最終ページも計算から分かる。最後ページまで書く途中にアンダーランに対する異常報知が出されて0x000を書くのなら、最終ページのところをホストバッファページ(HostBufPage1)に設定してけばよい。即ち、書き始める際にそのデータが決まった時点でホストバッファページ(HostBufPage1)の値を決定することができる。

【0063】なお、表2中では、「HostBufPage0からHostBufPage1-1(マイナス)1までのTFMT(トランス

19

ファフォーマット)で指定した領域に対し「Fill」としている。ここで、ホストはページの区切りを何ら気にせずに連続したデータを転送してくる。この連続したデータがどのような構成かをTFMTで指定することができる(当該指定を行うビット列が存在している)。Fillを行うときには、サブコードは関係なく、メインデータ(ユーザデータ)に対応する部分に対してのみ行えばよいので、このような処理を各ページにおいて、前記TFMTで指定したメインデータに対応する部分に対してのみ行うようにしている。

【0064】図13は、このための制御内容を示したフローチャートである。アンダーラン割込が発生すると(ステップ10)、割込処理に移行し(ステップ11)、まず、HostBufPage0が示すページがHostBufPage1が示すページより大きいかなかを判断する(ステップ12)。HostBufPage0が示すページがHostBufPage1が示すページに達していなければ書き込みデータ(HostBufWriteData)を0x000とし、HostBufPage0で示される1ページに転送する(ステップ13)。そして、転送終了後、HostBufPage0をインクリメントし(ステップ14)、ステップ12に進む。そして、HostBufPage0が示すページがHostBufPage1が示すページの1ページ前になると、アンダーラン割込処理から抜け出す。

【0065】図14は、前記図11の回路で構成される回路500を内包する割込発生回路60と、この割込発生回路60が発生したオーバーラン割込とアンダーラン割込をシステムコントローラに実際に与えるのか、又は与えるとしても他の割込との関係等においてどのような優先順位であたえるのかといった制御を担う回路である。割込発生回路60から出力される各割込は、アンド30回路62、63の一方の入力ゲートにそれぞれ入力される。アンド回路62、63の他方の入力ゲートには、それぞれマスク設定回路61からのマスクをするか否かの情報(0/1)が入力されるようになっている。アンド回路62、63の出力は、セレクター66、67によりIntGrpSel0、又はIntGrpSel1の設定によってGrp0とGrp1とに分けられる。そして、Grp0とGrp1は、オア回路69、70によってInt0、Int1として出力さる。

【0066】ここで、異なる複数の割込が発生する場合において一つの割込入力しかない場合は、割込にレベル40を設定することができない。従って、異常処理時に発生する割込も、正常終了にて発生する割込も、同一に扱われることになり、割込が発生する度に要因を調査することになる。これでは、システムコントローラでの処理が複雑化し、割込が集中した場合の処理時間の増大を招く。上述のごとく、セレクター66、67によりIntGrpSel0、又はIntGrpSel1の設定によってGrp0とGrp1とに分けられるように構成したから、要因調査を不要にして処理速度の向上や処理の簡易化を図ることができる。

【0067】また、前記図14において、アンド回路650

20

2、63にてアンドされる前の信号とアンドされた後の信号は、それぞれセレクター64、65に与えられ、InsSrc信号の設定によっていずれかが選択されてステータス68に出力される。

【0068】ここで、任意の割込を処理する場合、オーバーヘッド軽減のためにその発生要因を割込としてではなく、ポーリングすることで処理したい場合があり、この場合において割込要因であるオーバーラン割込とアンダーラン割込がマスクされてしまうと、システムコントローラはポーリング処理が行えない。上述のごとく、マスク設定していたとしても、ステータス68にてマスク前の情報を取得することで割込を発生せずにポーリング処理を行うことが可能となり、処理の効率化が図られることになる。

【0069】

【発明の効果】以上説明したように、ページ単位でデータの時間関係を保持することによって管理テーブルを不要にし、システム制御部の負担を軽減することができる。そして、このようにページ単位で処理する場合のメモリ使用効率の悪さをページ領域とバッファ領域に分けることで解消し、更に、上記バッファ領域を有効に活用して処理速度を向上させることができる。また、上記ページ領域をリング構造とすることに伴う諸処理を好適に行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明のデータ処理回路およびその周辺回路を示すブロック図である。

【図2】この発明のバッファRAMの構成を示す説明図である。

【図3】この発明の各ページのフォーマットを示す説明図である。

【図4】この発明のページ更新制御の内容を示すフローチャートである。

【図5】この発明のシステムコントローラインターフェースのリクエスト部とDRAMコントローラとバッファマネージャとの関係を示すブロック図である。

【図6】この発明のデコード時の信号フローを示す図である。

【図7】この発明のエンコード時の信号フローを示す図である。

【図8】この発明のサブコードP、Qデータの生成の様子を示す説明図である。

【図9】この発明の主にバッファリングエリア(Buffering area)構成を示す説明図である。

【図10】この発明の生成されたサブコードP、Qデータと他のデータとを合わせる様子を示した説明図である。

【図11】この発明のオーバーランやアンダーランに対する報知を行う検出回路を示したブロック図である。

【図12】この発明のデコード時におけるリングページ

21

領域折り返しが無い場合と折り返しがある場合のオーバーラン判定式を示す説明図である。

【図 1 3】 この発明のエンコード時のアンダーランに対する処理内容を示すフローチャートである。

【図 1 4】 この発明のオーバーランやアンダーランに対する報知を二つのレベルの割込で処理したりマスクしたりする回路のブロック図である。

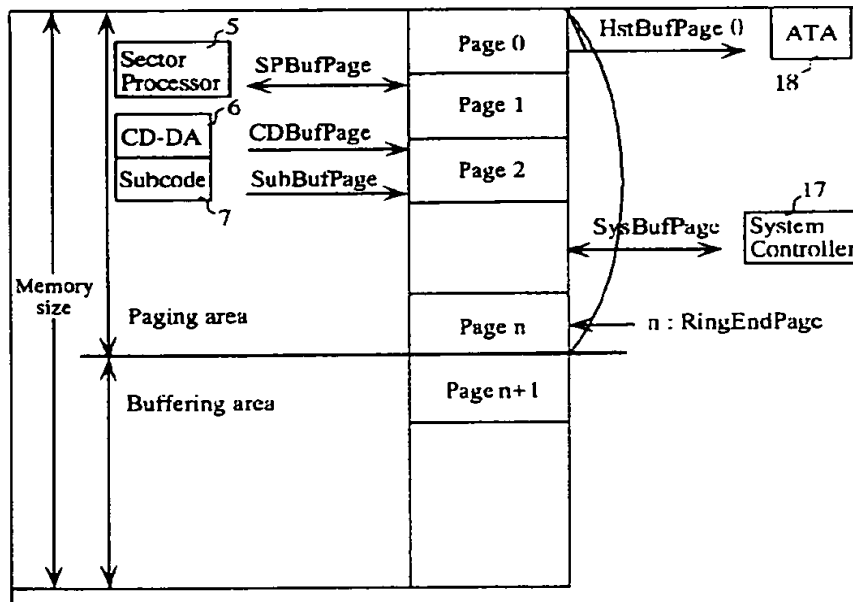
【符号の説明】

- 1 DRAMコントローラ
- 2 DRAM
- 3 システムコントローラインターフェース (System Controller if)
- 4 ホストインターフェース (Host if)
- 5 セクタープロセッサ (Sector Processor)
- 6 CD-DA インターフェース (CD-DA if)

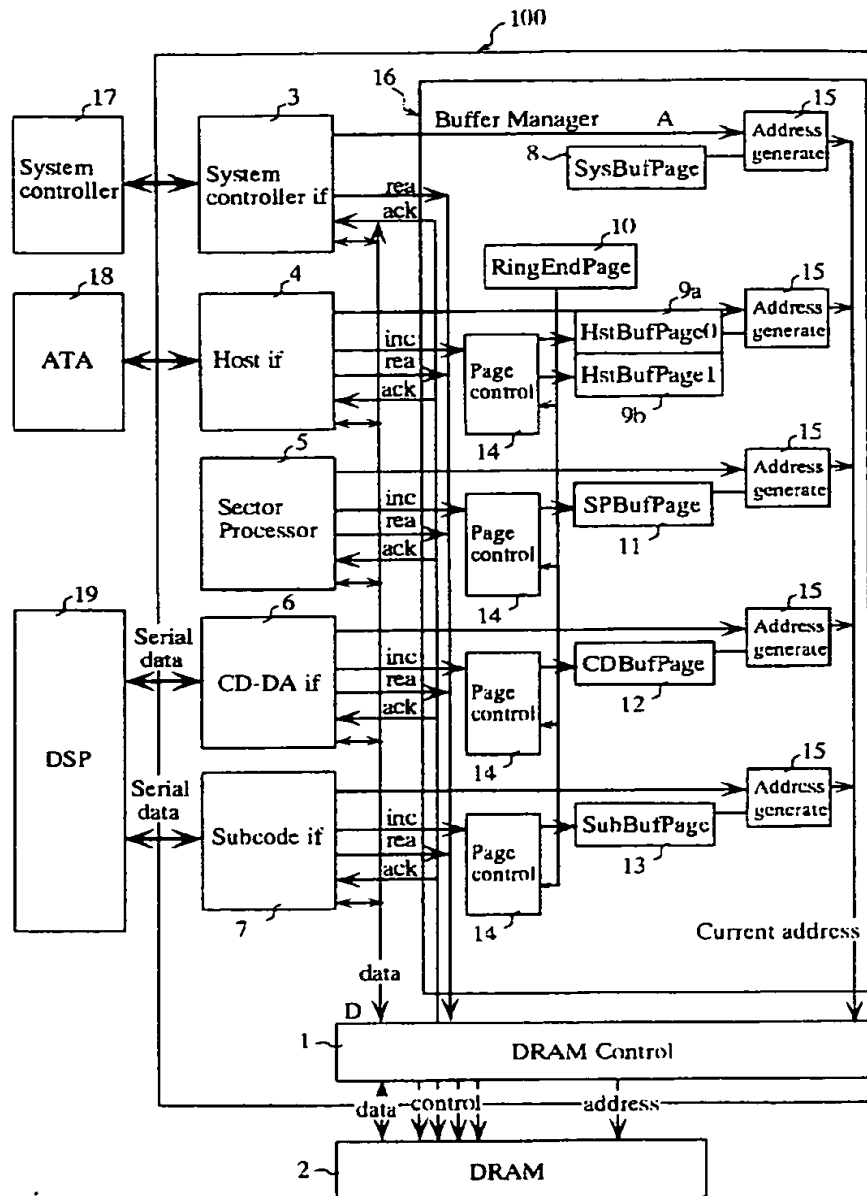
22

- 7 サブコードインターフェース (Subcode if)
- 8 システムバッファページ (SysBufPage)
- 9 a ホストバッファページ (HostBufPage0)
- 9 b ホストバッファページ (HostBufPage1)
- 10 リングエンドページ (RingEndPage)
- 11 サブコードバッファページ (SubBufPage)
- 12 CDバッファページ (CDBufPage)
- 13 サブコードバッファページ (SubBufPage)
- 14 ページコントローラ
- 10 15 アドレスジェネレータ
- 16 バッファマネージャ
- 17 システムコントローラ
- 18 ATA
- 19 DSP

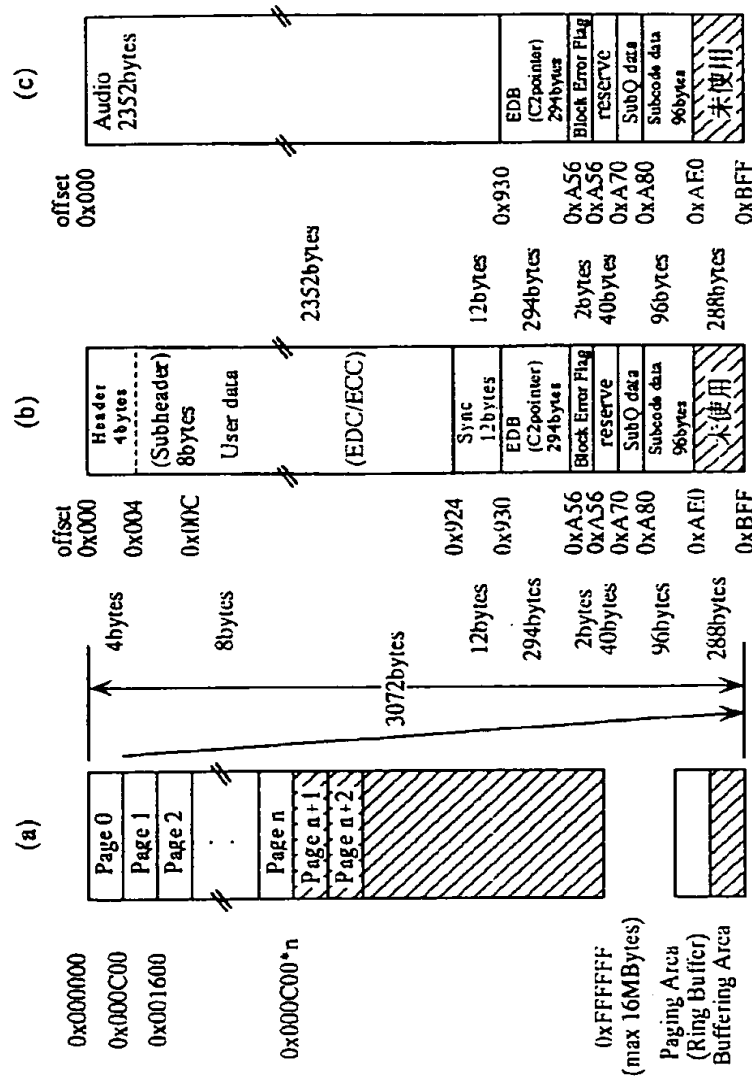
【図 2】



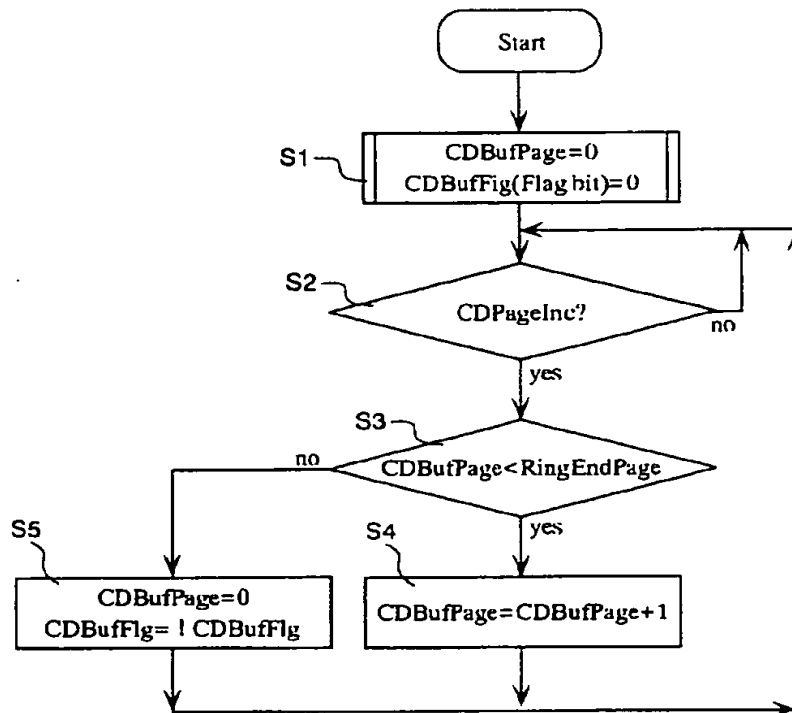
【図1】



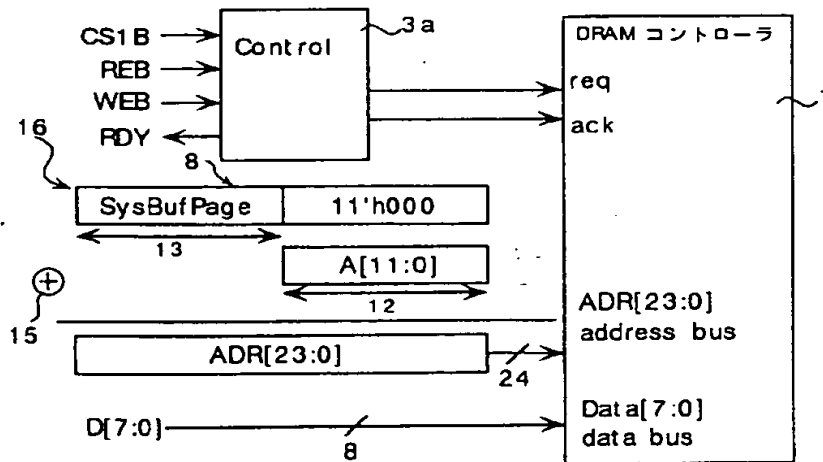
【図3】



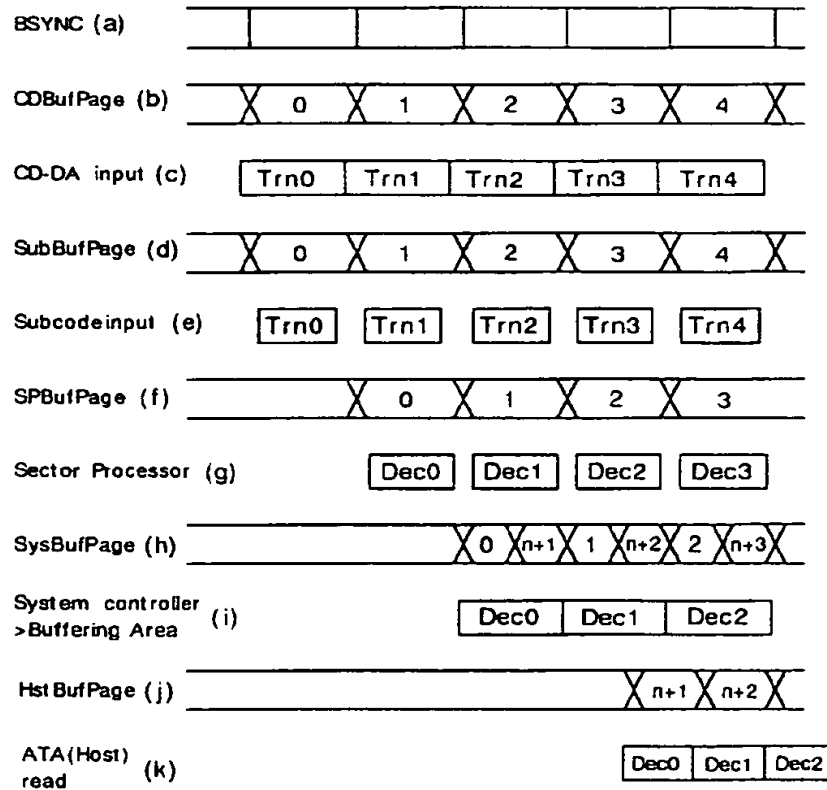
【図4】



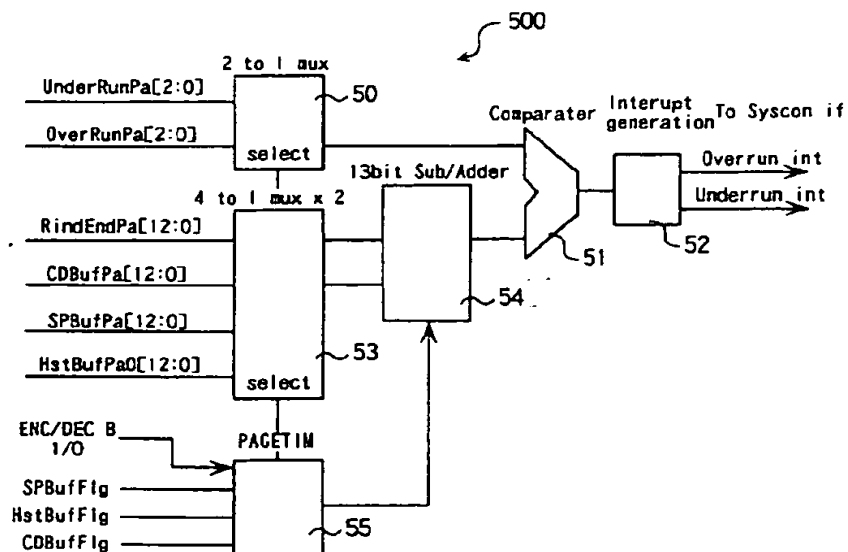
【図5】



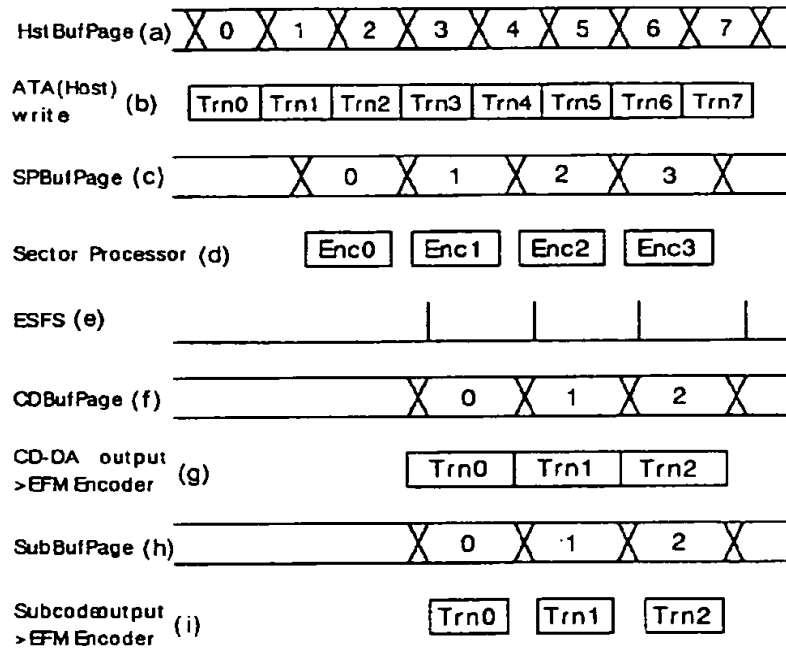
【図 6】



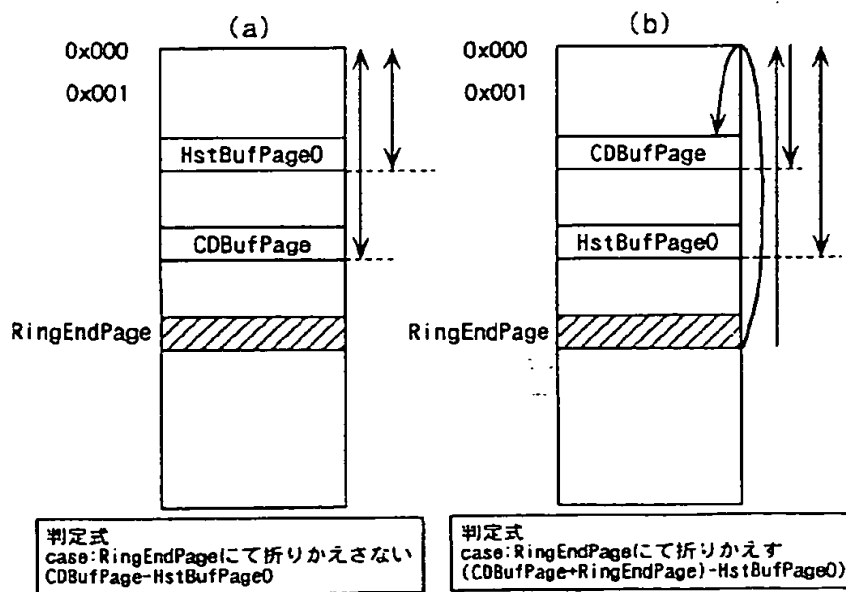
【図 11】



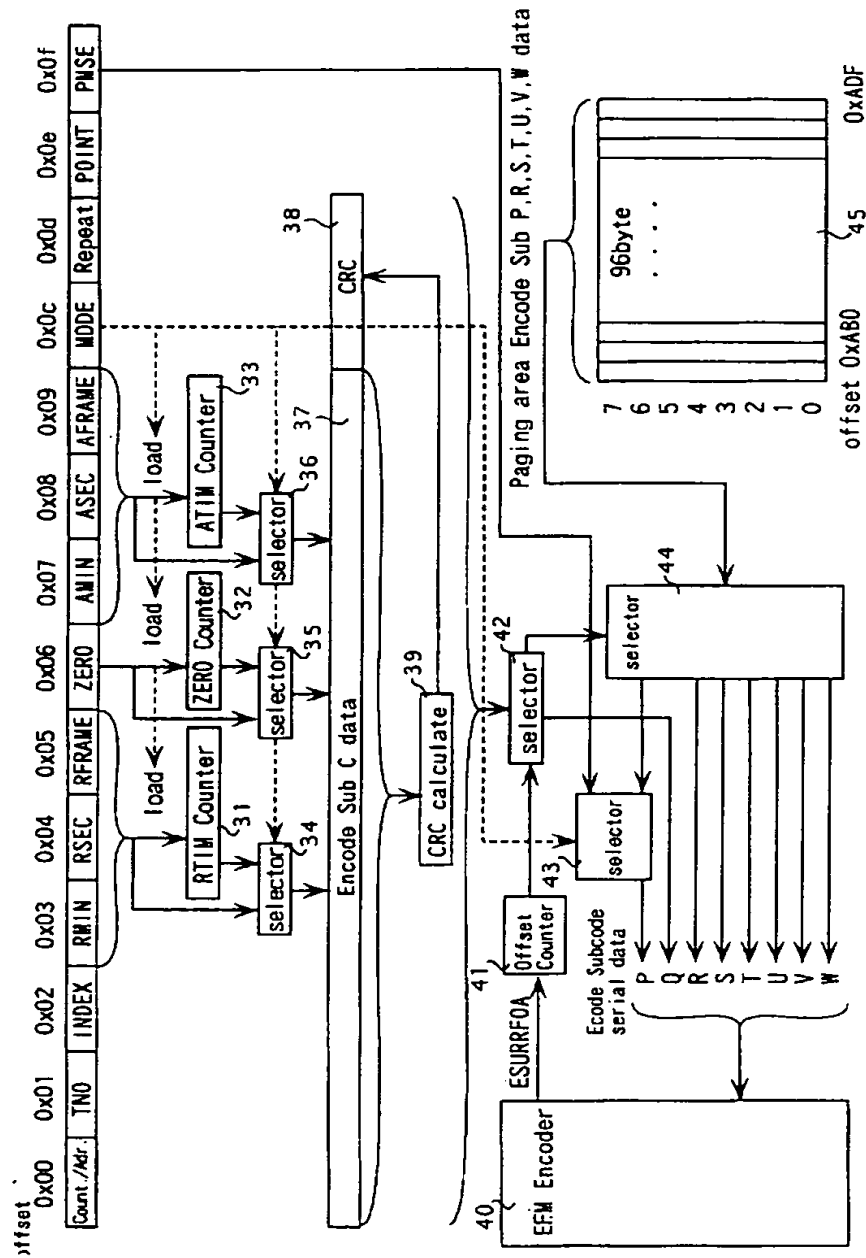
【図7】



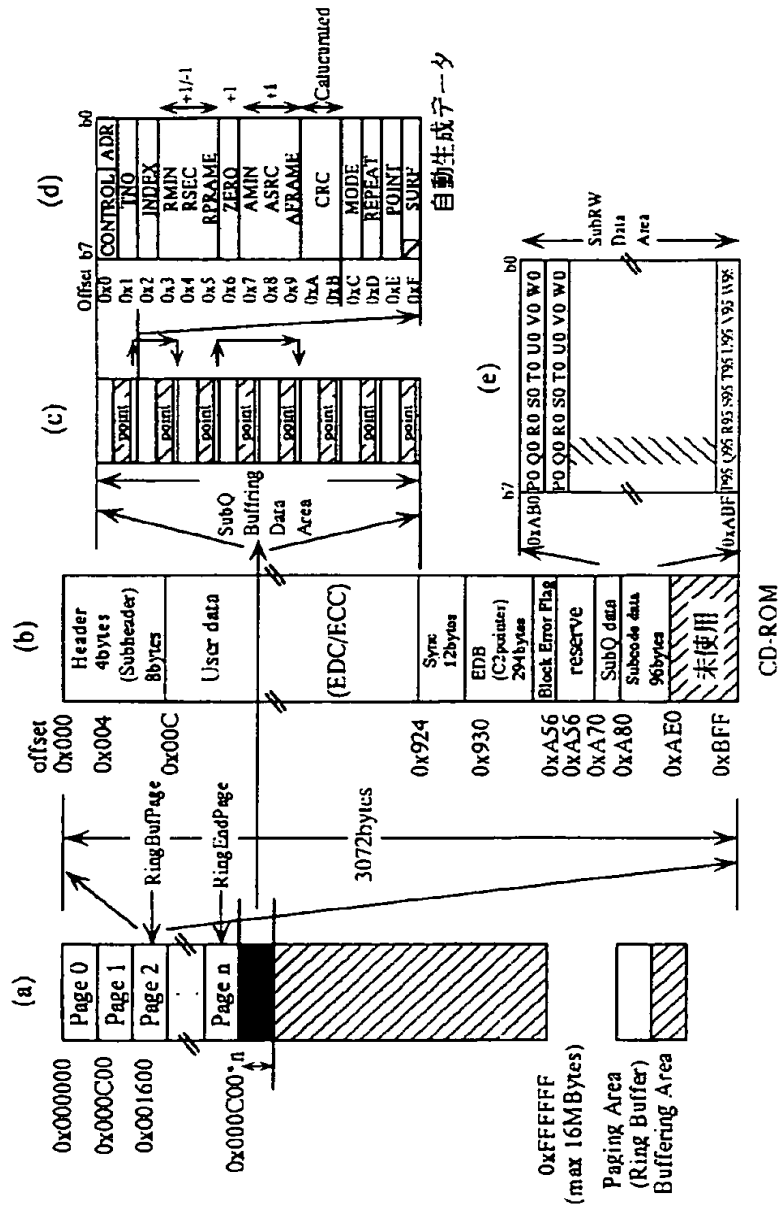
【図12】



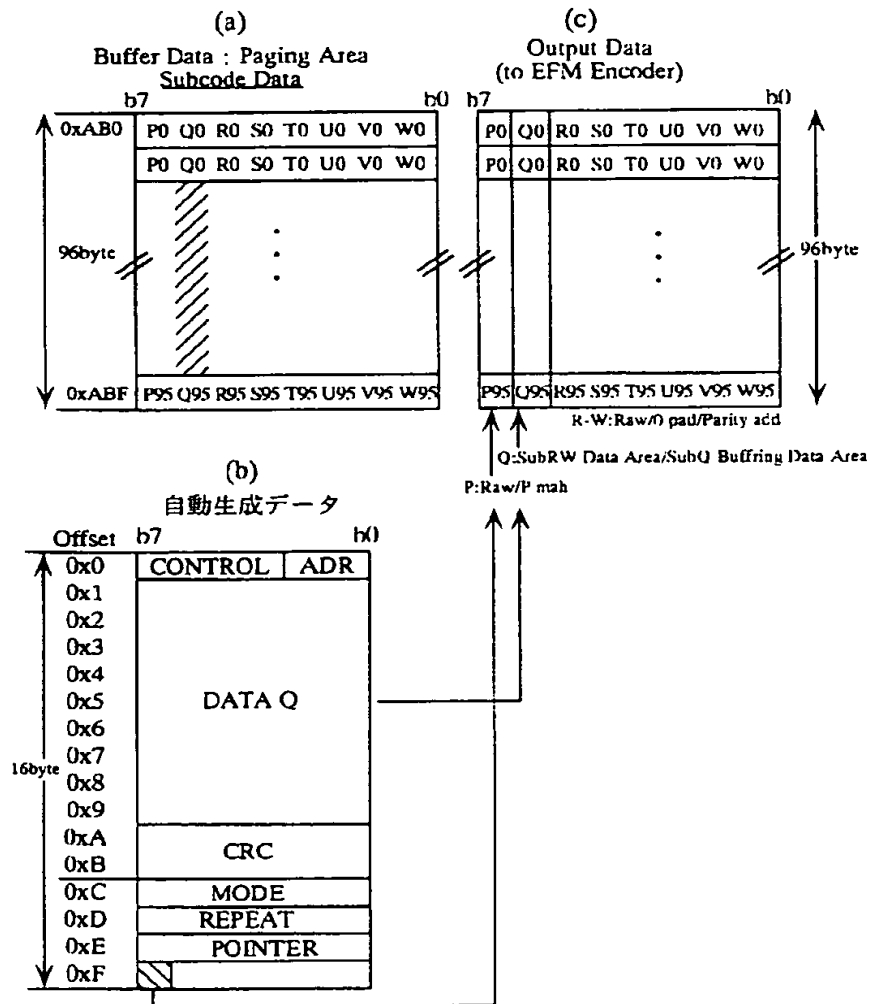
【図8】



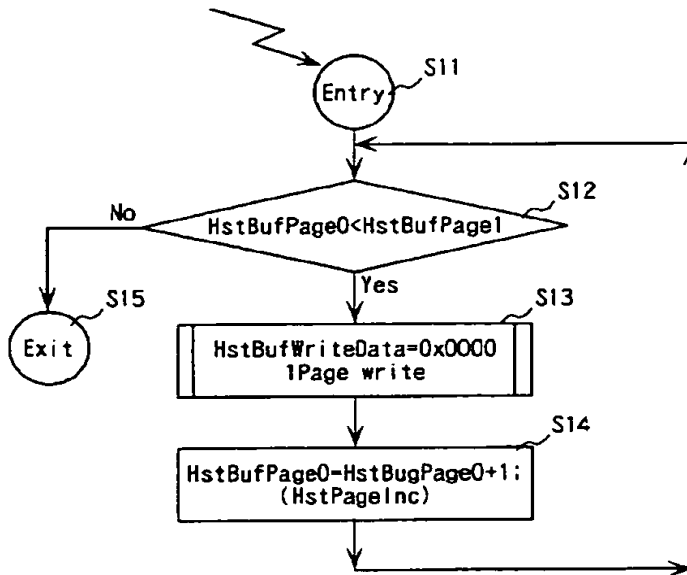
【図9】



【図10】



【図13】



【図14】

